Questões para a P2

1

Considere a execução do código abaixo no MIPS com pipeline. Quantos ciclos serão necessários para executar esse código? Desenhe um diagrama de vários ciclos mostrando as dependências e a solução que será tomada (forwardings e/ou stalls). Seria possível reduzir o tempo de execução desse trecho de código?

2

Considere a execução do código abaixo no processador MIPS com pipeline. Ao final do 5º ciclo da execução, quais registradores estão sendo lidos e qual registrador será escrito? Resolva novamente o problema considerando que uma instrução **lw \$3,100(\$1)** foi adicionada imediatamente após a instrução **sub**.

3

Considere uma máquina com um processador que roda a 785MHz. Um programa benchmark utiliza o seguinte mix de instruções:

Tipo	Uso	Ciclos
Load/Store	10%	18
Aritméticas de inteiros	53%	6
Ponto Flutuante	22%	14
Transferencia de Controle	15%	4

A equipe projetista do hardware está tentando melhorar o desempenho. Eles encontraram uma maneira de reduzir o número de ciclos requerido para as operações de divisão e de multiplicação de ponto flutuante, que passariam dos 14 ciclos originais para apenas 8 ciclos. Todas as outras instruções permanecem com o mesmo número de ciclos original. Porém, para que essa modificação seja possível, o tempo de ciclo deve aumentar 18%. Das operações de ponto flutuante, a metade é de multiplicação e divisão. Vamos chamar de Chip A e Chip B essas duas versões. Chip A é a versão original. Chip B é o projeto modificado. Calcule:

a) O CPI para o Chip A e o Chip B

- b) O MIPS para o Chip A e o Chip B
- c) O tempo de execução para o Chip A e o Chip B executando o programa benchmark, supondo que esse programa consiste de 10.000.000 instruções.
- d) A modificação sugerida deve ser adotada ou descartada?

4

Em um processador com pipeline: (a) explique o que é hazard de controle e hazard estrutural. (b) No MIPS, por que nunca ocorre hazard estrutural envolvendo o banco de registradores, já que o banco de registradores é usado duas vezes por cada instrução?

5

Considere três processadores, cujos nomes são: Chocolate, Cinnamon e Bacon!. Os três possuem a mesma arquitetura do conjunto de instruções, com as taxas de clock e CPI dadas pela tabela abaixo:

Processor	Clock Rate	CPI	
Chocolate	2 GHz	1.5	
Cinnamon	1.5 GHz	1.0	
Bacon!	3 GHz	2.5	

Qual processador tem melhor desempenho?

6

Você projetou um código malicioso, um worm, que vai desligar qualquer sistema infectado. Assuma que, como código de máquina, seu *worm* possua as seguintes quantidades de cada tipo de instruções:

Arith	Store	Load	Branch	Total
500	50	100	50	700

Assumindo que as instruções **Arith** (Aritmética) gastam um ciclo, **load** e **store** gastam cinco ciclos, e as instruções **branch** gastam dois ciclos, qual é o tempo de execução do *worm* em um processador MIPS com 2GHz de clock?

7

Compiladores tem um profundo impacto no desempenho de uma aplicação em um dado processador. Imagine que você está tentando compilar seu *worm* com dois compiladores diferentes, obtendo o seguinte resultado:

Compiler A		piler A Compiler B	
# of instructions	Execution time	# of instructions	Execution time
1.00e+09	1 s	1.20e+09	1.4 s

Dado que o processador tem um tempo de ciclo de clock de 1 nanosegundo, encontre o CPI médio para cada uma das duas versões do programa compilado.

8

Considere a execução do código abaixo no MIPS com pipeline. Quantos ciclos serão necessários para executar esse código? Desenhe um diagrama de vários ciclos mostrando as dependências e a solução que será tomada em cada hazard.

Iw \$4,100(\$5) add \$3,\$4,\$6 sub \$5,\$3,\$2 Iw \$7,100(\$5) add \$2,\$4,\$6 sub \$8,\$7,\$2

9

Duas máquinas M1 e M2 implementam o mesmo ISA (Arquitetura do Conjunto de Instruções):

Máquina	CPI-A	CPI-B	CPI-C	Freq. de Clock
M1	1	2	4	1.6 GHz
M2	2	3	3	2.0 GHz

Um determinado programa executa um *mix* de instruções composto de 60% de instruções da classe A, 30% da classe B e 10% da classe C.

- a) Calcule o desempenho em MIPS para as duas máquinas.
- b) Em que situação a métrica MIPS não pode ser usada para comparar o desempenho de duas máquinas? Por que?
- c) Suponha que desejamos tornar a máquina mais lenta tão rápida quanto a máquina mais rápida. Porém, só podemos modificar uma das três categorias A, B ou C. Calcule separadamente o quanto precisa ser melhorada cada categoria (speed up da melhoria) para atingirmos esse objetivo.

10

Explique o que faz o trecho de código do MIPS dado abaixo. Calcule o CPI médio para o trecho, considerando a tabela dada ao lado com o CPI de cada tipo de instrução.

addi \$9,\$0,0 addi \$8,\$0,100 add \$9,\$9,\$8 addi \$8,\$8,-1 bne \$8,\$0,-3

Instrução	Ciclos de Clock
Todas as instruções da ALU	1,0
load/store	1,4
Desvios condicionais seguidos	2,0
Desvios condicionais não seguidos	1,5
Saltos incondicionais	1,2

11

Suponha que um programa executa 1 bilhão de instruções em um processador de 2GHz. Suponha também que 50% dessas instruções gastam 3 ciclos de clock, 30% gastam 4 ciclos de clock e 20% gastam 5 ciclos de clock.

- a) Qual é o tempo de execução para esse programa?
- b) Se esse processador for reprojetado de modo que as instruções de 5 ciclos gastem 4 ciclos, mas com uma redução necessária na frequência de clock de 2,0GHz para 1,9GHz, o processador piora ou melhora?

12

Para um processador MIPS **com pipeline**, calcule o número de ciclos, o CPI médio e o tempo de execução nas seguintes situações, considerando um clock de 1MHz.

- a) O pipeline é otimizado para desvios tomados
- b) O pipeline é otimizado para desvios não tomados
- c) O que pode ser modificado no programa para reduzir o número de ciclos? (sem eliminar nenhuma instrução). Faça os cálculos também para esta modificação considerando o pipeline otimizado para desvios tomados.

13

No pipeline, o que são hazards de dados? Dê um exemplo. No que consiste a técnica que é a solução para esse problema?